

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11259335 A**

(43) Date of publication of application: 24 . 09 . 99

(51) Int. Cl.

G06F 11/28(21) Application number: **10059461**(71) Applicant: **NEC KOFU LTD**

(22) Date of filing: 11 . 03 . 98

(72) Inventor: **SHIMIZU MASARU**

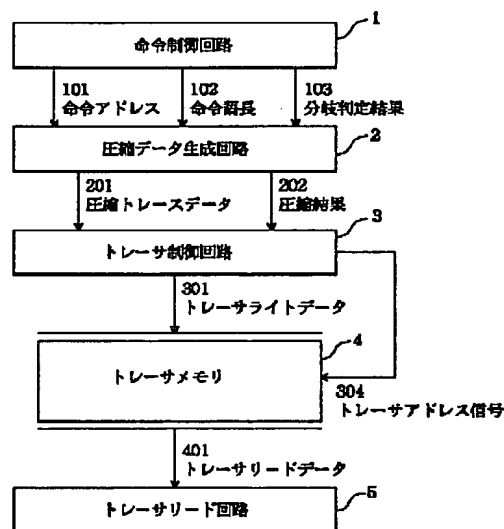
(54) **TRACER DEVICE, TRACE DATA
COMPRESSING METHOD AND COMPRESSED
TRACE DATA READING METHOD**

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To acquire many pieces of trace data with a limited tracer memory by tracing a number specifying the instruction word length of an instruction address whose instruction is not branched as compression trace data.

SOLUTION: An instruction control circuit 1 outputs an executed instruction address 101 and its instruction work length 102 by a circuit controlling program execution, also decides whether or not an instruction is branched by the execution of the instruction and outputs a decision result 103. The address 101, the length 102 and the result 103 are inputted to a compressed data generation circuit 2. The circuit 2 decides it as compressible when the decision result is 'zero' and outputs a number specifying the length 102 as compression trace data 201 about the address 101 outputted from the circuit 1. Also, when the decision result is 'one', it decides it as uncompressible and outputs the address 101 outputted from the circuit 101 as it is as compression trace 201.



p14460-A

Jc929 U.S. PTO
09/819351
03/28/01

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-259335

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.⁶

G 0 6 F 11/28

識別記号

3 1 0

F I

G 0 6 F 11/28

3 1 0 E

審査請求 有 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平10-59461

(22) 出願日 平成10年(1998) 3月11日

(71) 出願人 000168285

甲府日本電気株式会社

山梨県甲府市大津町1088-3

(72) 発明者 清水 大

山梨県甲府市大津町1088-3 甲府日本電気株式会社内

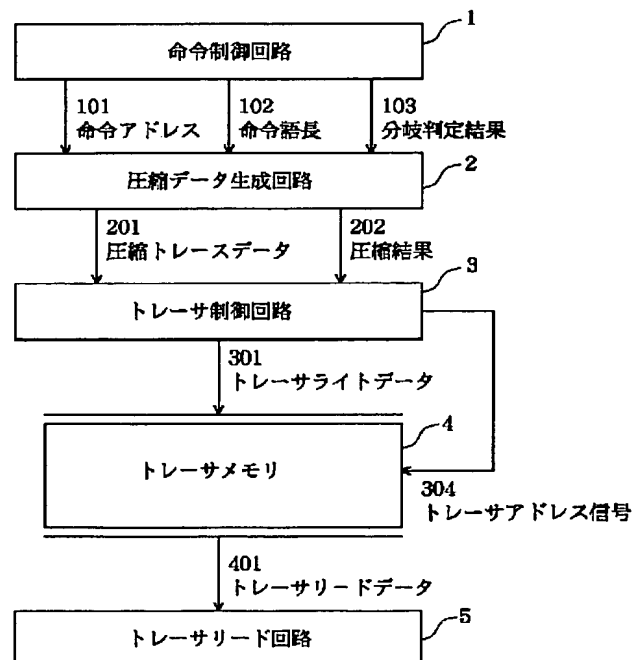
(74) 代理人 弁理士 若林 忠 (外4名)

(54) 【発明の名称】 トレーサ装置、トレースデータ圧縮方法および圧縮トレースデータ読み出し方法

(57) 【要約】

【課題】 多くのトレースデータを採取できるトレーサ装置を提供する。

【解決手段】 実行した命令のアドレスとその命令語長を出力するとともに、その命令の実行により命令が分岐されたか否かを判定する命令制御回路1と、分岐判定結果に基づいて、命令アドレスのうち命令が分岐されなかったものについては、その命令語長を特定する番号を圧縮トレースデータとして出力するとともに該データが圧縮データであることを示す圧縮結果を出力し、命令が分岐されたものについては、該命令アドレスをそのまま圧縮トレースデータとして出力するとともに該データが圧縮データでないことを示す圧縮結果を出力する圧縮データ生成回路2と、出力された圧縮トレースデータおよび圧縮結果をトレースメモリ4に格納するトレーサ制御回路3を有する。



【特許請求の範囲】

【請求項1】 トレースデータを格納するためのトレースメモリ手段と、

実行した命令のアドレスとその命令語長を出力するとともに、その命令の実行により命令が分岐されたか否かを判定し、該分岐判定結果を出力する命令制御手段と、前記分岐判定結果に基づいて、前記命令制御手段から出力された命令アドレスのうち命令が分岐されなかったものについては、その命令語長を特定する番号を圧縮トレースデータとして出力するとともに該圧縮トレースデータが圧縮データであることを示す圧縮結果を出力し、命令が分岐されたものについては、該命令アドレスをそのまま圧縮トレースデータとして出力するとともに該圧縮トレースデータが圧縮データでないことを示す圧縮結果を出力する圧縮データ生成手段と、

前記圧縮トレースデータおよび圧縮結果をトレースデータとして前記トレースメモリ手段に格納するトレーサ制御手段と、を有することを特徴とするトレーサ装置。

【請求項2】 請求項1に記載のトレーサ装置において、

前記トレーサ制御手段は、圧縮トレースデータおよび圧縮結果を一旦格納し、該格納データが所定量に達した時点で格納データを前記トレースメモリ手段に格納することを特徴とするトレーサ装置。

【請求項3】 請求項2に記載のトレーサ装置において、

前記トレーサ制御手段は、圧縮トレースデータおよび圧縮結果を格納するための第1および第2のバッファを有し、

前記第1および第2のバッファは、一方のバッファがフル状態になると他方のバッファに切り替わり、フル状態となったバッファに格納されたデータが前記トレースメモリ手段に書き出されるよう構成されていることを特徴とするトレーサ装置。

【請求項4】 請求項1に記載のトレーサ装置において、

前記圧縮データ生成手段は、命令語長の種類が 2^n 種類である場合、該命令語長を特定する番号として n ビットの番号を圧縮トレースデータとして出力することを特徴とするトレーサ装置。

【請求項5】 請求項1に記載のトレーサ装置において、

前記トレーサメモリに書き込まれた圧縮トレースデータを読み出すトレーサリード手段をさらに有し、

前記トレーサリード手段が、最後に格納された圧縮トレースデータを開始ポイントとして、格納された圧縮トレースデータをその格納順序とは逆の順序で取り出すとともに取り出した圧縮トレースデータについて圧縮結果を基に圧縮データか否かを判断し、

前記開始ポイントの圧縮トレースデータについては、トレース終了時または中断時の命令アドレスをベースアドレスとし、該開始ポイントの圧縮トレースデータ以降の圧縮トレースデータについては、1つ前に読み出された圧縮トレースデータの命令アドレスをベースアドレスとし、

取り出した圧縮トレースデータが圧縮データの場合は、該圧縮トレースデータとして格納された、命令語長を特定する番号から元の命令語長を求め、前記ベースアドレスからその求めた命令語長分のアドレスを減算した値を命令アドレスとして読み出し、

取り出した圧縮トレースデータが圧縮データでない場合は、該圧縮トレースデータとして格納された命令アドレスを、そのまま読み出すことを特徴とするトレーサ装置。

【請求項6】 実行した命令のアドレスの命令語長を求めるとともに該命令の実行により命令が分岐されたか否かを判定し、

命令が分岐されなかった命令については、その命令アドレスの命令語長を特定する番号を圧縮トレースデータとして格納するとともに該圧縮トレースデータが圧縮データであることを示す圧縮結果を格納し、

命令が分岐されたものについては、その命令アドレスを圧縮トレースデータとして格納するとともに該圧縮トレースデータが圧縮データでないことを示す圧縮結果を格納することを特徴とするトレースデータ圧縮方法。

【請求項7】 請求項6に記載のトレースデータ圧縮方法において、

命令語長の種類が 2^n 種類である場合に、該命令語長を特定する番号として n ビットの番号を用いることを特徴とするトレースデータ圧縮方法。

【請求項8】 請求項6または請求項7に記載のトレースデータ圧縮方法によって格納された圧縮トレースデータを読み出す方法であって、

最後に格納された圧縮トレースデータを開始ポイントとして、前記格納された圧縮トレースデータをその格納順序とは逆の順序で取り出すとともに取り出した圧縮トレースデータについて圧縮結果を基に圧縮データか否かを判断し、

前記開始ポイントの圧縮トレースデータについては、トレース終了時または中断時の命令アドレスをベースアドレスとし、該開始ポイントの圧縮トレースデータ以降の圧縮トレースデータについては、1つ前に読み出された圧縮トレースデータの命令アドレスをベースアドレスとし、

取り出された圧縮トレースデータが圧縮データの場合は、該圧縮トレースデータとして格納された、命令語長を特定する番号から元の命令語長を求め、前記ベースアドレスからその求めた命令語長分のアドレスを減算した値を読み出すべき命令アドレスとし、

取り出された圧縮トレースデータが圧縮データでない場合は、該圧縮トレースデータとして格納された命令アドレスを、そのまま読み出すべき命令アドレスとすることを特徴とする圧縮トレースデータ読み出し方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、計算機システムの動作データを時系列に保存するトレース装置に関し、特にトレースデータを圧縮する機能を有するトレース装置に関する。さらには、トレースデータを圧縮する方法およびその圧縮されたトレースデータを読み出す方法に関する。

【0002】

【従来の技術】従来、プログラムトレース装置は計算機システムの動作データを時系列にさかのぼって保存しておくため、評価時および障害発生時に解析を行う手段として用いられている。プログラムトレース装置は、その性質上、トレースするデータ量が多いほど解析が容易となる。そのため、最近では、トレースデータを圧縮する機能を有するプログラムトレース装置が提案されている。

【0003】トレースデータを圧縮する機能を有するプログラムトレース装置の一例として、特開昭62-111334号公報には、実行プログラム中の各分岐命令に対応する通過アドレス情報を保持する第1のフリップ・フロップと、上記分岐命令より後に行われた分岐命令に対応する通過アドレス情報を保持する第2のフリップ・フロップとを有し、これらフリップ・フロップに保持された通過アドレス情報を比較し、該比較結果に基づいて分岐命令に対応する通過アドレス情報の記録を制御するようにしたプログラムトレース装置が開示されている。

【0004】このプログラムトレース装置では、プログラムがループ状態になり、同一分岐命令が繰り返し実行されるとき、同一分岐命令に対応する通過アドレス情報の重複記録を禁止することでトレースデータの圧縮が行われる。

【0005】

【発明が解決しようとする課題】しかしながら、上述した特開昭62-111334号公報に記載のプログラムトレース装置においては、プログラムがループ状態に移入した場合にしかトレースデータの圧縮は行われず、通常の場合は、データを圧縮せずに採取が行われる。そのため、プログラムがループになっていない場合は、トレースデータの圧縮は全く行われずにトレースデータが採取され続けてしまい、プログラムデバッグや障害解析時に十分な解析ができない。

【0006】本発明の目的は、限られたトレースメモリで、多くのトレースデータを採取できるトレース装置を提供することにある。さらには、トレースデータを圧縮する方法およびその圧縮されたトレースデータを読み出

す方法を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するため、本発明のトレース装置は、トレースデータを格納するためのトレースメモリ手段と、実行した命令のアドレスとその命令語長を出力するとともに、その命令の実行により命令が分岐されたか否かを判定し、該分岐判定結果を出力する命令制御手段と、前記分岐判定結果に基づいて、前記命令制御手段から出力された命令アドレスのうち命令が分岐されなかったものについては、その命令語長を特定する番号を圧縮トレースデータとして出力するとともに該圧縮トレースデータが圧縮データであることを示す圧縮結果を出力し、命令が分岐されたものについては、該命令アドレスをそのまま圧縮トレースデータとして出力するとともに該圧縮トレースデータが圧縮データでないことを示す圧縮結果を出力する圧縮データ生成手段と、前記圧縮トレースデータおよび圧縮結果をトレースデータとして前記トレースメモリ手段に格納するトレース制御手段と、を有することを特徴とする。

【0008】本発明のトレースデータ圧縮方法は、実行した命令のアドレスの命令語長を求めるとともに該命令の実行により命令が分岐されたか否かを判定し、命令が分岐されなかった命令については、その命令アドレスの命令語長を特定する番号を圧縮トレースデータとして格納するとともに該圧縮トレースデータが圧縮データであることを示す圧縮結果を格納し、命令が分岐されたものについては、その命令アドレスを圧縮トレースデータとして格納するとともに該圧縮トレースデータが圧縮データでないことを示す圧縮結果を格納することを特徴とする。

【0009】本発明の圧縮トレースデータ読み出し方法は、上述のトレースデータ圧縮方法によって格納された圧縮トレースデータを読み出す方法であって、最後に格納された圧縮トレースデータを開始ポイントとして、前記格納された圧縮トレースデータをその格納順序とは逆の順序で取り出すとともに取り出した圧縮トレースデータについて圧縮結果を基に圧縮データか否かを判断し、前記開始ポイントの圧縮トレースデータについては、トレース終了時または中断時の命令アドレスをベースアドレスとし、該開始ポイントの圧縮トレースデータ以降の圧縮トレースデータについては、1つ前に読み出された圧縮トレースデータの命令アドレスをベースアドレスとし、取り出された圧縮トレースデータが圧縮データの場合は、該圧縮トレースデータとして格納された、命令語長を特定する番号から元の命令語長を求め、前記ベースアドレスからその求めた命令語長分のアドレスを減算した値を読み出すべき命令アドレスとし、取り出された圧縮トレースデータが圧縮データでない場合は、該圧縮トレースデータとして格納された命令アドレスを、そのまま読み出すべき命令アドレスとすることを特徴とする。

(作用) 前述したような従来のトレースデータの圧縮は、プログラムがループ状態に移入した場合にその分岐命令について通過アドレス情報の重複記録を禁止するだけで、命令アドレスそのものを圧縮することは行われていない。これに対して、上記のとおりの本発明によれば、実行された命令アドレスのうち命令が分岐されなかった命令アドレスについて、その命令語長を特定する番号が圧縮トレースデータとしてトレースされる。このように、本発明では、命令アドレスそのものを圧縮することができるので、従来の場合と比較して、多くのトレースデータの採取が可能となる。

【0010】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して説明する。

【0011】本発明の一実施形態である、トレースデータ圧縮機能を備えるプログラムトレーサ装置の概略構成を図1に示す。このプログラムトレーサ装置は、命令制御回路1、圧縮データ生成回路2、トレーサ制御回路3、トレーサメモリ4、トレーサリード回路5から構成される。

【0012】命令制御回路1はプログラム実行を制御する回路で、実行した命令のアドレス101とその命令語長102を出力するとともに、その命令の実行により命令が分岐されたか否かを判定し、該判定結果103を出力する。ここでは、判定結果103の出力は、実行した命令が分岐命令で分岐が成功した場合に「1」が出力され、実行した命令が通常命令である場合や分岐命令であっても分岐が成功しなかった場合には「0」が出力されるものとする。これら命令アドレス101、命令語長102および判定結果103は圧縮データ生成回路2に入力される。なお、命令制御回路1は、プログラム実行中の間、命令アドレス101、命令語長102および判定結果103を出力し続けるが、プログラムストップ時には、トレースをストップさせるためのトレーサストップ信号104を出力する。このトレーサストップ信号104はトレーサ制御回路3に入力されており、プログラムストップ時には、トレーサストップ信号104が「1」にセットされてトレースストップ指示が出される。

【0013】圧縮データ生成回路2は、判定結果103が「0」の場合には圧縮可能と判断し、命令制御回路1から出力された命令アドレス101について、その命令語長102を特定する番号を圧縮トレースデータ201として出力するとともに圧縮結果202として「1」を出力し、判定結果103が「1」の場合には圧縮不可能と判断し、命令制御回路1から出力された命令アドレス101をそのまま圧縮トレースデータ201として出力するとともに圧縮結果202として「0」を出力する。ここで、命令語長102を特定する番号は、命令語長の種類が 2^n 種類である場合、 n ビットのデータである。例えば、命令語長が4種類ある場合は $n=2$ となり、2

ビットのデータが圧縮トレースデータとして出力される。この圧縮トレースデータ201は、圧縮結果202が「0」（圧縮不可能）の場合は命令アドレス101のデータ幅と同じになり、圧縮結果202が「1」（圧縮可能）の場合には n ビットになる。これら圧縮トレースデータ201および圧縮結果202はトレーサ制御回路3に入力される。

【0014】トレーサ制御回路3は、トレーサメモリ4に対するトレースデータの書き込みの制御を行う。このトレーサ制御回路3は、圧縮トレースデータ201および圧縮結果202を一旦格納し、該格納データがトレーサメモリ4に格納する単位の水素データ量になった時点でトレーサメモリ4へ書き込む（トレーサライトデータ301）。

【0015】トレーサリード回路5は、プログラムデバッグや障害解析時に、トレーサメモリ4に書き込まれた圧縮トレースデータをその格納順序とは逆の順序で取り込んで順次解凍を行う（トレーサリードデータ401）。

20 【0016】次に、このトレーサ装置におけるトレースデータ圧縮およびその読み出しについて説明する。

【0017】（1）トレースデータの圧縮

トレースデータの圧縮の手順を図2に示す。以下、図2を参照してトレースデータの圧縮を具体的に説明する。

【0018】命令制御回路1はプログラムを実行すると、実行した命令について命令アドレス101と命令語長102を出力するとともに、その実行命令により命令が分岐されたか否かを判定し、分岐していない場合を「0」、分岐した場合を「1」とする分岐判定結果103を出力する（ステップ10）。続いて、圧縮データ生成回路2は、出力された各命令アドレス101について、それぞれの分岐判定結果103から圧縮可能かどうかを判断する（ステップ11）。

【0019】分岐判定結果103が「0」の場合は、圧縮データ生成回路2は圧縮可能と判断し、命令アドレス101についてその命令語長102を特定する番号を圧縮トレースデータ201として出力するとともに、圧縮結果202として、その出力した圧縮トレースデータ201が圧縮データである旨を示す「1」を出力する（ステップ12）。分岐判定結果103が「1」の場合は、圧縮データ生成回路2は圧縮不可能と判断し、命令アドレス101をそのまま圧縮トレースデータ201として出力するとともに、圧縮結果202として、その出力した圧縮トレースデータ201が圧縮データでない旨を示す「0」を出力する（ステップ13）。このステップ12、13の処理をさらに具体的に説明すると、以下のようになる。

【0020】例えば命令語長が2、4、6、8バイトの4種類ある場合、2バイト命令の命令語長を番号「00」、4バイト命令の命令語長を番号「01」、6バ

ト命令の命令語長を番号「10」、8バイト命令の命令語長を番号「11」で表わす。そして、分岐判定結果103が「0」の場合は、命令アドレス101の圧縮トレースデータ201としてその命令語長102を特定する番号「00」～「11」を出力するとともに、圧縮結果202としてその出力した圧縮トレースデータ201が圧縮データである旨を示す「1」を出力する。分岐判定結果103が「1」の場合は、命令アドレス101をそのまま圧縮トレースデータ201として出力するとともに、圧縮結果202としてその出力した圧縮トレースデータ201が圧縮データでない旨を示す「0」を出力する。例えば、図3に示すように、命令が分岐しない(1)～(6), (8), (9), (11)～(14)では、命令語長を特定する「00」～「11」の番号(圧縮トレースデータ201)に「1」(圧縮結果202)を付加したデータを出力し、(7), (10)では分岐成功のために、命令アドレス「08002028h」、「080020E0h」(圧縮トレースデータ201)にそれぞれ「0」(圧縮結果202)を付加したデータを出力する。図3中、(1)～(14)はトレースの順番を示す。

【0021】上述のようにして圧縮トレースデータ201および圧縮結果202が圧縮データ生成回路2から出力されると、トレーサ制御回路3がその出力された圧縮トレースデータ201および圧縮結果202を一旦格納する(ステップ14)。そして、トレーサ制御回路3は、格納データが所定量(トレーサメモリ4に格納する単位のデータ量)に達した時点で、その格納したデータをトレーサメモリ4へ書き込む(ステップ15)。このように、格納データをトレーサメモリ4に格納する単位のデータ幅でトレーサメモリ4へのデータの書き込みむことにより、トレーサメモリ4の記憶領域を有効に使用することができる。

【0022】以上のトレース動作は、プログラムの実行が終了し、あるいは中断するまで行われる。プログラムの実行が終了し、あるいは中断した場合は、命令制御回路1がトレーサストップ信号104を「1」にしてトレーサストップ指示を出す。トレーサ制御回路3は、トレーサストップ信号104が「1」にセットされると、現在格納しているデータを全てトレーサメモリ4へ書き込む。

【0023】(2)圧縮トレースデータの読み出し
トレーサリード回路5によって行われる圧縮トレースデータの読み出し手順のフローチャートを図4に示す。以下、図4を参照して圧縮トレースデータの読み出しを具体的に説明する。

【0024】トレーサメモリ4に最後に書き込まれたデータ(圧縮トレースデータ201および圧縮結果202)が最新のトレースデータであることから、この最新のトレースデータを解凍開始ポイントとする(ステップ20)。そして、トレーサストップ終了時または中断時

の命令アドレスをベースアドレスとし(ステップ21)、まず、解凍開始ポイントとした圧縮トレースデータについて解凍を行う。ここで、トレーサストップ時の命令アドレスは、例えばプログラム中断時に実行された命令の次の命令のアドレスである。

【0025】この解凍では、まず、解凍開始ポイントとした圧縮トレースデータの圧縮結果が「1」であるかどうかの判定を行う(ステップ22)。圧縮結果が「1」である場合は、その圧縮トレースデータは命令語長を特定する番号で書き込まれているので、これを取り出して元の命令語長に変換する(ステップ23)。そして、ベースアドレスからその命令語長分のアドレスを減算した値を、その取り出した圧縮トレースデータの命令アドレスとするとともに次解凍のベースアドレスとする(ステップ24)。圧縮結果が「0」である場合は、その圧縮トレースデータは命令アドレスで書き込まれているので、これを取り出して命令アドレスとするとともに次解凍のベースアドレスとする(ステップ25)。

【0026】上記のステップ24またはステップ25で次解凍のベースアドレスが設定されると、次いで、他に未解凍の圧縮トレースデータがあるかどうかを調べる(ステップ26)。未解凍の圧縮トレースデータがある場合は、上述のステップ22に戻ってその圧縮トレースデータについて解凍を行う。未解凍の圧縮トレースデータがない場合は読み出し処理を終了する。

【0027】以上説明した読み出し処理を、上述の図3に示したようなトレースが行われて、トレーサストップ時の命令アドレスが「08002304h」(hは16進数表示を表わす。)となった場合を例に挙げて、具体的に説明すると以下のようなことになる。

【0028】トレーサ制御回路3によってトレーサメモリ4に最後に書き込まれたデータは(14)の2バイト命令のデータであることから、これを解凍開始ポイントとする。そして、トレーサストップ時の命令アドレスである「08002304h」をベースアドレスとし、解凍開始ポイントとした圧縮トレースデータについて解凍を行う。この解凍では、解凍開始ポイントとした圧縮トレースデータは命令語長を特定する番号「00」で書き込まれたものであり、その圧縮結果は「1」であるので、その圧縮トレースデータ「00」を取り出してこれを元の命令語長(2バイト)に変換する。そして、ベースアドレスである「08002304h」からその命令語長(2バイト)分を減算した値「08002302h」を得る。この得られた「08002302h」が解凍開始ポイントとした圧縮トレースデータ「00」を解凍した命令アドレスとなり、次解凍のベースアドレスとなる。

【0029】次いで、他に未解凍の圧縮トレースデータがあるかどうかを調べる。図3に示したトレースの場合、(13)でトレースされた圧縮トレースデータ「00」があるので、この圧縮トレースデータ「00」について

解凍を行う。この解凍では、上記で解凍された(14)の圧縮トレースデータ「00」の命令アドレス「08002302_h」をベースアドレスとして解凍を行う。まず、圧縮トレースデータ「00」の圧縮結果は「1」であるので、その圧縮トレースデータ「00」を取り出してこれを元の命令語長(2バイト)に変換する。そして、ベースアドレス「08002302_h」からその命令語長(2バイト)を減算した値「08002300_h」を得る。この得られた「08002300_h」が(13)でトレースされた圧縮トレースデータ「00」を解凍した命令アドレスとなり、次解凍のベースアドレスとなる。

【0030】上述のようにして、圧縮トレースデータの解凍を、解凍開始ポイントから順に、トレーサライト時とは逆方向に、圧縮結果が「0」となるデータまで行う。図3に示したトレース例の場合、(10)でトレースされた圧縮トレースデータ「080020E0_h」の圧縮結果が「0」となっているので、(11)でトレースされた圧縮トレースデータまで上述の解凍処理が順に行われる。

【0031】(11)までの圧縮トレースデータについて解凍が行われると、続いて、(10)の圧縮トレースデータ「080020E0_h」について解凍を行う。この解凍では、圧縮トレースデータ「080020E0_h」は圧縮結果が「0」であり、命令アドレスをそのまま書き込んだものであるため、これを取り出してそのまま命令アドレスとするとともに次解凍のベースアドレスとする。

【0032】上述のような解凍手順で図3に示した(14)~(1)のトレースデータを順に解凍すると、図5に示すような読み出し結果を得られる。

【0033】次に、トレーサ制御回路3のライト制御部の具体的な構成について説明する。

【0034】図6は、トレースデータ圧縮回路の一構成例を示すブロック図である。このトレースデータ圧縮回路は、バッファ制御回路31、バッファ32、33、ライトデータ選択回路34、トレーサライト回路35およびトレーサアドレス36より構成される。

【0035】バッファ制御回路31は、時系列に出力される圧縮トレースデータ201および圧縮結果202を、バッファ32またはバッファ33に順次格納するとともに、ライトデータ選択回路34にバッファ32、33のいずれかを選択させるためのバッファ選択信号302および選択されたバッファの格納データをトレースメモリ4に書き出させるためのイネーブル信号303を出力する。

【0036】ライトデータ選択回路34は、バッファ32、33の出力を選択するもので、バッファ信号302が「0」のときにバッファ32を選択し、バッファ信号302が「1」のときにバッファ33を選択する。イネーブル信号303が「1」のときに、バッファ選択信号302により選択されたバッファの格納データがトレー

サライト回路35へ出力され、イネーブル信号303が「0」のときにはバッファへのデータの格納が行われる。このように、ライトデータ選択回路34は、バッファ選択信号302により選択されたバッファの格納データ(圧縮トレースデータ201と圧縮結果202)をイネーブル信号303が「1」になったタイミングでトレーサライト回路35へ出力させる。

【0037】トレーサライト回路35は、ライトデータ選択回路34により選択されたバッファからの出力データ(格納データ)を、上記イネーブル信号303が「1」になったタイミングで、トレーサライトデータ301として出力してトレーサメモリ4に書き込む。このトレーサライト回路35は、トレーサメモリ4への書き込みを行う度にトレーサアドレス36を加算する。トレーサアドレス36は、トレーサメモリ4のアドレスを示すレジスタであり、トレーサメモリ4へトレーサアドレス信号304を出力する。トレーサメモリ4では、このトレーサアドレス信号304で指定されたアドレスにトレーサライトデータ301が保持される。

【0038】上述のように構成されたライト制御部では、バッファ制御回路31によって、圧縮データ生成回路2から出力された圧縮トレースデータ201および圧縮結果202がバッファ32の左端から順に格納される。このとき、バッファ制御回路31は、バッファ選択信号302としてバッファ32を示す「0」を出力している。

【0039】バッファ32がフル状態になると、バッファ32に格納できなくなった圧縮トレースデータ201および圧縮結果202がバッファ33の左端から格納される。バッファ制御回路31は、バッファ32がフル状態になると、イネーブル信号303を「1」にセットする。イネーブル信号303が「1」にセットされると、ライトデータ選択回路34がバッファ32の格納データをトレーサライト回路35へ出力させる。トレーサライト回路35は、トレーサアドレス36をインクリメントして、バッファ32からの格納データを上記イネーブル信号303が「1」になったタイミングで、トレーサメモリ4のトレーサアドレス信号304で指定されたアドレスに書き込む。

【0040】バッファ32から全格納データが出力されてトレーサメモリ4に書き込まれると、バッファ制御回路31はイネーブル信号303を「0」にセットするとともに、バッファ選択信号302を「1」にセットする。

【0041】バッファ33がフル状態になると、バッファ33に格納できなくなった圧縮トレースデータ201および圧縮結果202がバッファ32の左端から格納される。バッファ制御回路31は、バッファ33がフル状態になると、イネーブル信号303を「1」にセットする。イネーブル信号303が「1」にセットされると、

ライトデータ選択回路 3 4 がバッファ 3 3 の格納データをトレサライト回路 3 5 へ出力させる。トレサライト回路 3 5 は、トレサアドレス 3 6 をインクリメントして、バッファ 3 3 からの格納データを上記イネーブル信号 3 0 3 が「1」になったタイミングで、トレサメモリ 4 のトレサアドレス信号 3 0 4 で指定されたアドレスに書き込む。

【0042】バッファ 3 3 から全格納データが出力されてトレサメモリ 4 に書き込まれると、バッファ制御回路 3 1 はイネーブル信号 3 0 3 を「0」にセットするとともに、バッファ選択信号 3 0 2 を「0」にセットする。

【0043】上述のようにして、このライト制御部では、2つのバッファ 3 2, 3 3 に交互に圧縮トレースデータ 2 0 1 および圧縮結果 2 0 2 を格納しながら、フル状態になったバッファから格納データのデータを書き出しが行われる。ここで、バッファ 3 2, 3 3 の容量は、トレサメモリ 4 に格納する単位のデータ量に相当し、トレサメモリ 4 への書き込みは、単位のデータ量毎に行われる。なお、プログラムが終了し、あるいは中断した場合は、命令制御回路 1 から出力されるトレサストップ信号 1 0 4 に基づいて、バッファ制御回路 3 1 がバッファ 3 2 またはバッファ 3 3 に格納されている全データを出力させるように、バッファ選択信号 3 0 2 およびイネーブル信号 3 0 3 をセットする。

【0044】上述したトレサ制御回路は、図 6 に示した構成に限定されるものではなく、例えばバッファは 3 つ以上であってもよい。

【0045】以上説明したような本発明のトレサ装置では、例えば、図 2 に示した (7) および (10) の命令カウンタを 3 2 ビットとすると、(1) ~ (14) までのトレース

内容は全部で 1 0 2 ビット存在することとなり、1 4 ワードのトレースが可能となる。これに対して、前述した従来のトレサ装置の場合は、1 0 2 ビットのトレースでは、3 ワードしかトレースできない。このように、大幅なトレース量のアップが期待できる。

【0046】

【発明の効果】以上説明したように構成されている本発明によれば、従来の場合と比較して、より多くのトレースデータの採取ができるので、プログラムデバッグや障害解析時に十分な解析を行うことができるという効果を奏する。

【図面の簡単な説明】

【図 1】本発明の一実施形態のトレサ装置の概略構成を示す図である。

【図 2】図 1 に示すトレサ装置において行われるトレースデータの圧縮の手順を説明するためのフローチャート図である。

【図 3】トレースデータの一例を示す図である。

【図 4】図 1 に示すトレサ装置において行われるトレースデータの読出手順を説明するためのフローチャート図である。

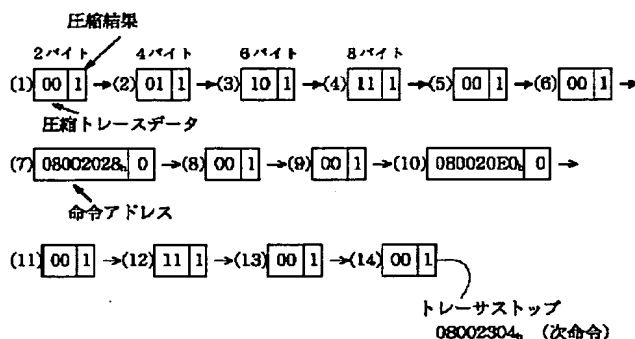
【図 5】図 3 に示すトレースデータを解凍した読み出し結果を示す図である。

【図 6】図 1 に示すトレースデータ圧縮回路の一構成例を示すブロック図である。

【符号の説明】

- 1 命令制御回路
- 2 圧縮データ生成回路
- 3 トレーサ制御回路
- 4 トレーサメモリ
- 5 トレーサリード回路

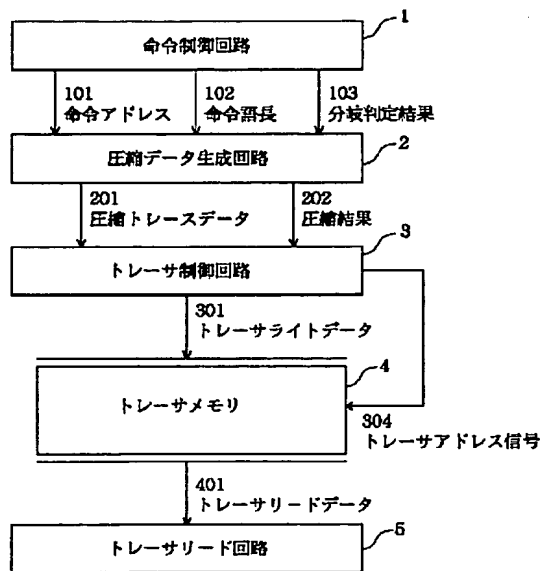
【図 3】



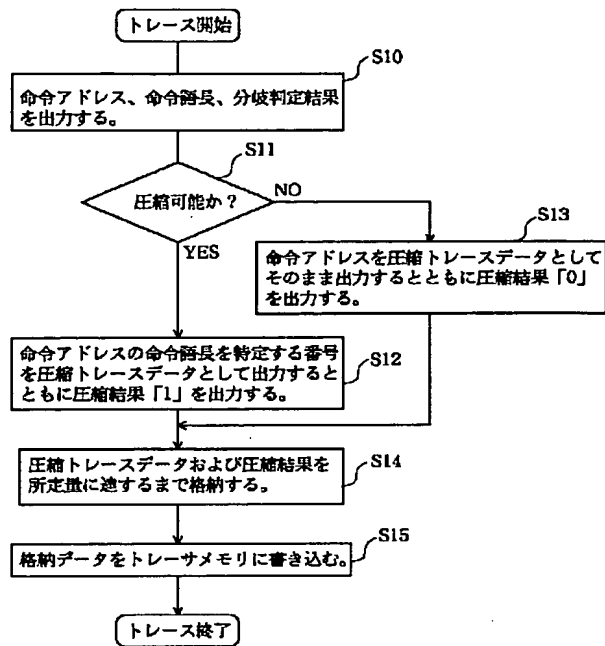
【図 5】

(1) 08002010,	2バイトの通常命令	最古 ↑ 最新
(2) 08002012,	4バイトの通常命令	
(3) 08002016,	6バイトの通常命令	
(4) 0800201C,	8バイトの通常命令	
(5) 08002024,	2バイトの通常命令	
(6) 08002026,	2バイトの通常命令	
(7) 08002028,	分岐命令で分岐成功	
(8) 080020DC,	2バイトの通常命令	
(9) 080020DE,	2バイトの通常命令	
(10) 080020E0,	分岐命令で分岐成功	
(11) 080022F6,	2バイトの通常命令	
(12) 080022F8,	8バイトの通常命令	
(13) 08002300,	2バイトの通常命令	
(14) 08002302,	2バイトの通常命令	

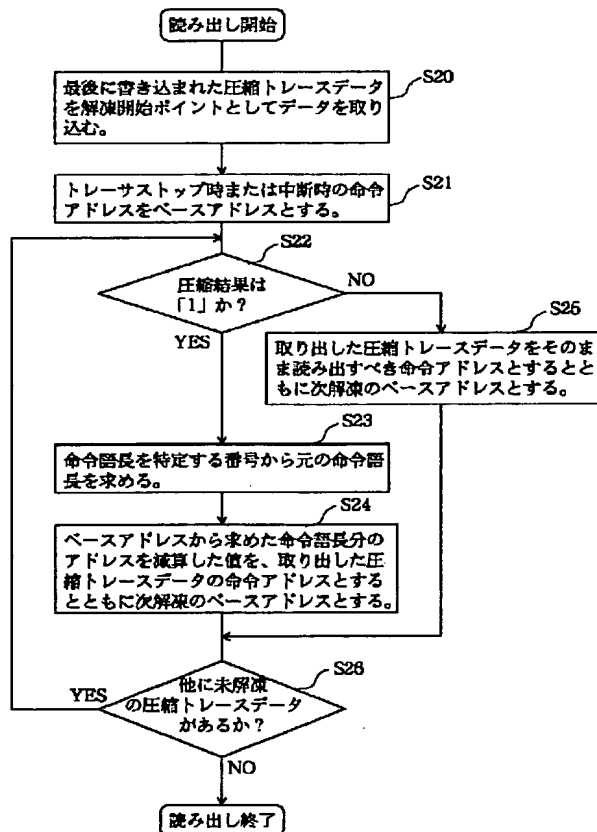
【図 1】



【図 2】



【図 4】



【図 6】

